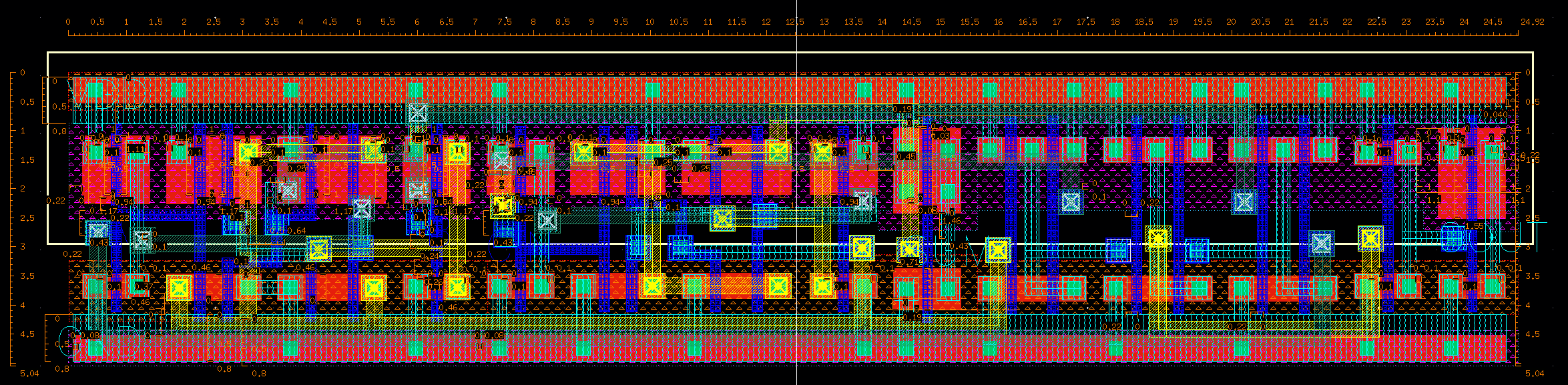
2022 NYCU EE VLSI Lab Report

Lab02 1-Bit Full Adder

Student ID: 109611070 Name: 郭家均 Date: 2022/10/25

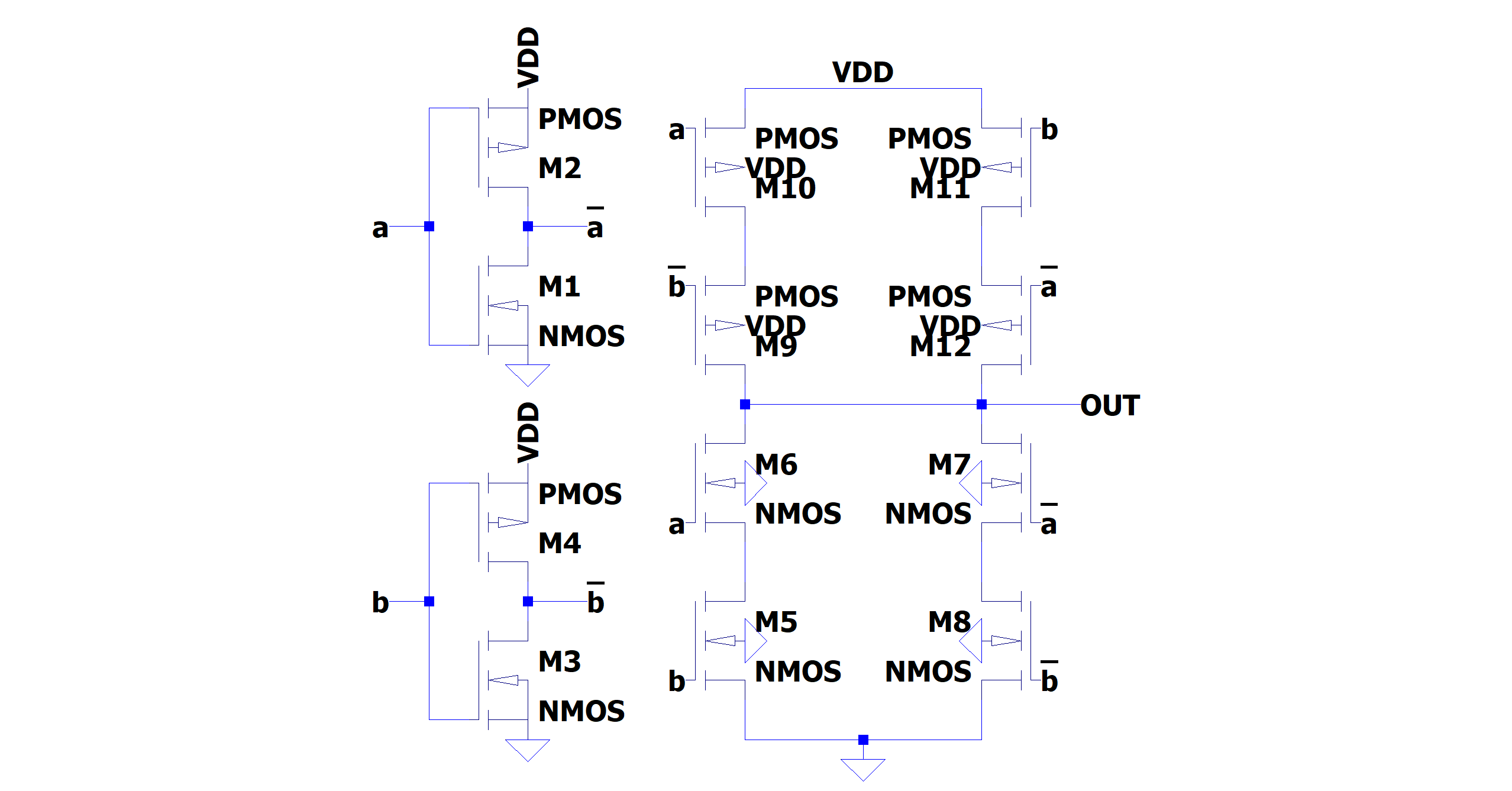
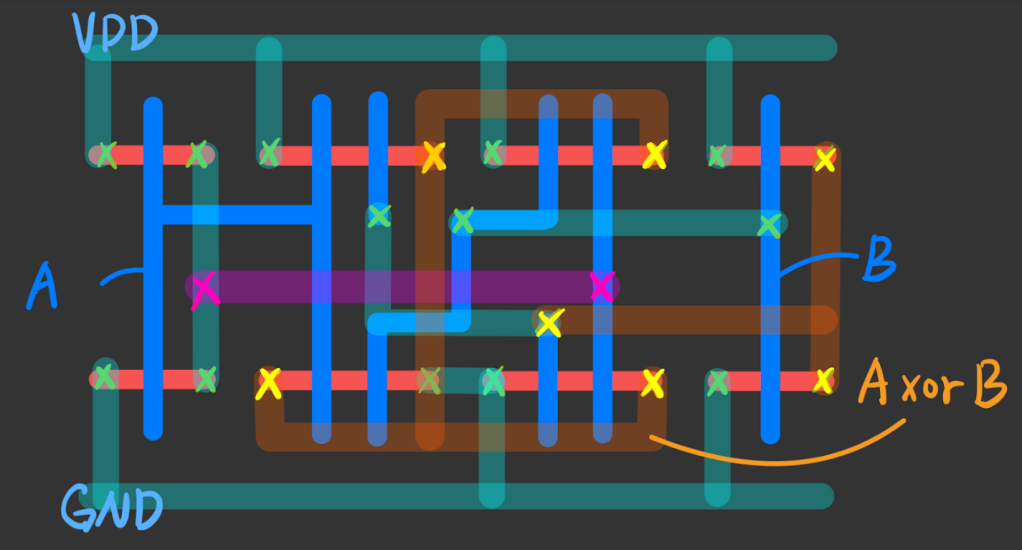
1. **Layout result**
2. **Layout picture with ruler**

Height : 5.04um , Width : 24.92um , VDD/GND Rail : 0.8um

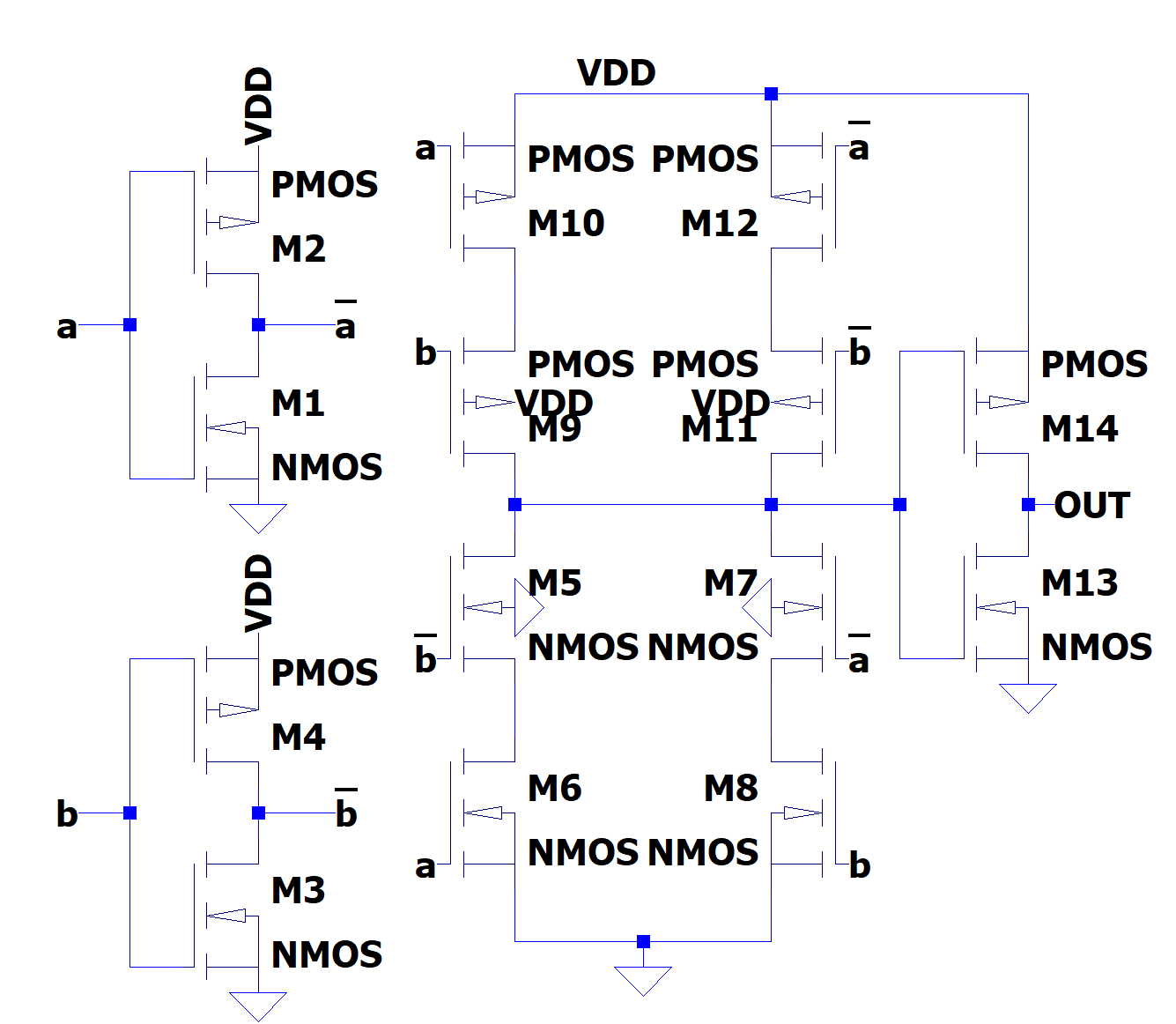
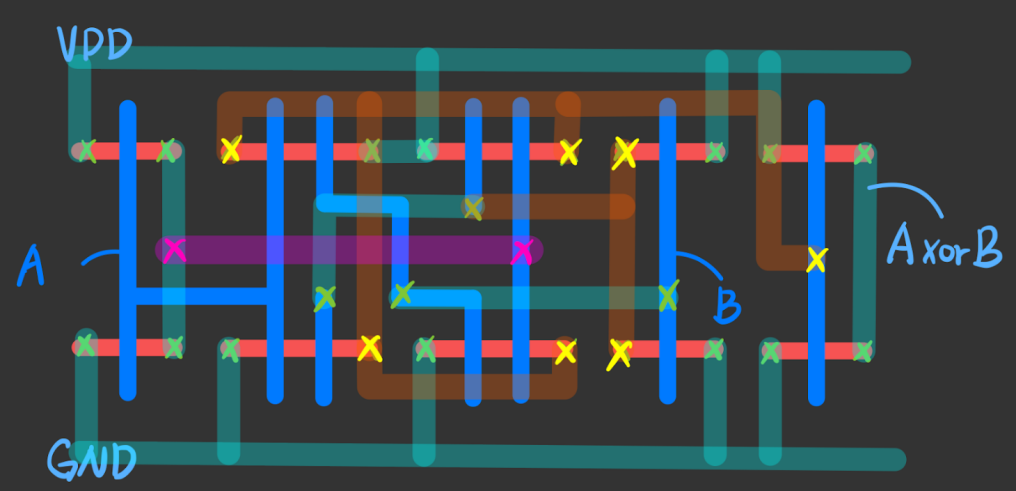
1. **Design concept**
2. Stick Diagram / Circuit Schematic

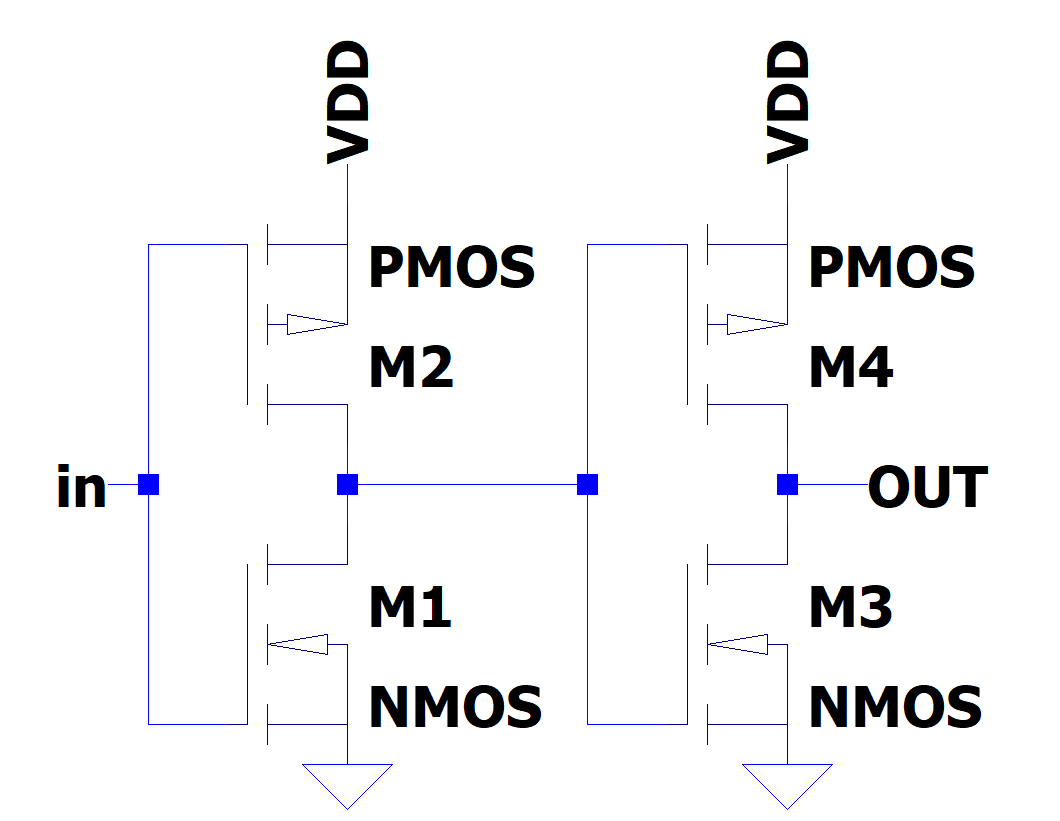
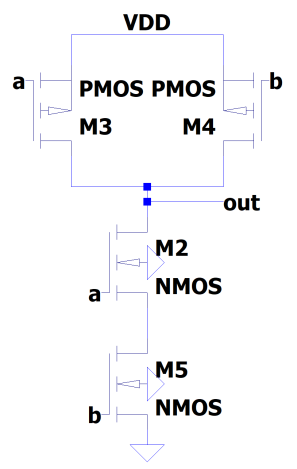
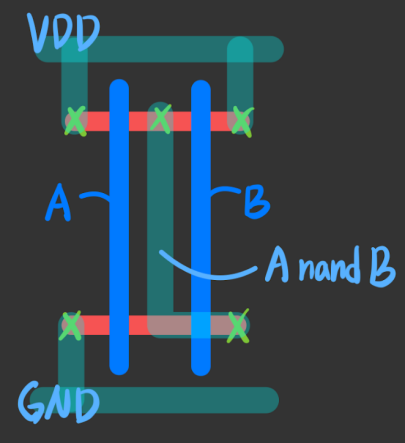
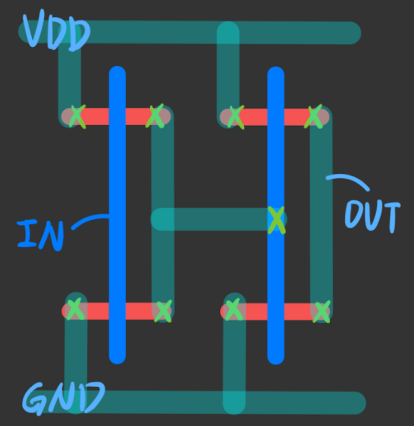
All the Stick diagram follows the color palette below:



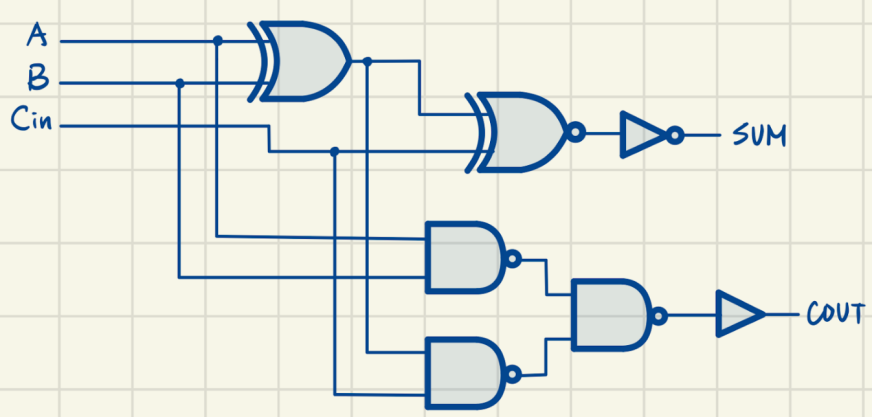
**XOR 12 Transistors**

**XNOR + INVERTER 14 Transistors**

**NAND 4 Transistors BUFFER 4 Transistors**

1. Summary of structure (number of transistor / logic gate is used)

以下的電路圖為我的adder設計:

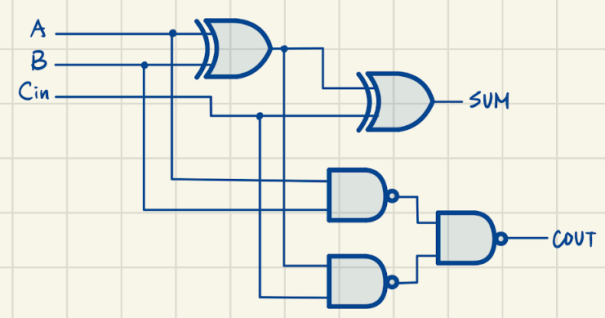


1 XOR, 1 XNOR, 1 INVERTER, 3 NAND, 1 BUFFER(2 INVERTERS)

Total # of transistors : 12+14+3\*4+4 = 42 transistors

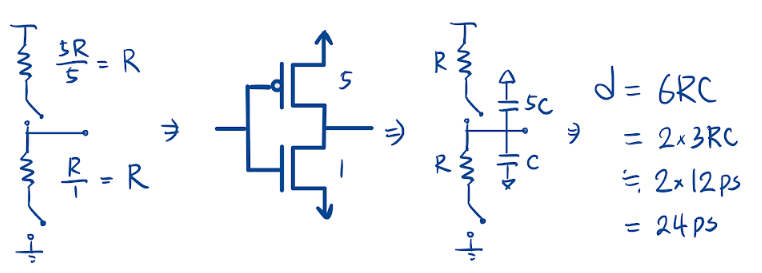
以下說明為何我採用此電路為我的FA架構 :

這次實驗規定我們使用一般的2XOR+3NAND為adder架構，不能進行化簡。照原電路來進行Tprop的分析，電路如下。



在此電路只用到XOR, NAND元件。我們對元件最理想的模型進行delay的分析。因為使用umc.18製成，因此P\_18\_G2、N\_18\_G2的mobility比例不像一般課本常用的1:2。翻閱library可以發現比例約為1:5，定義一個unit pmos等效為5R，unit nmos等效成R。

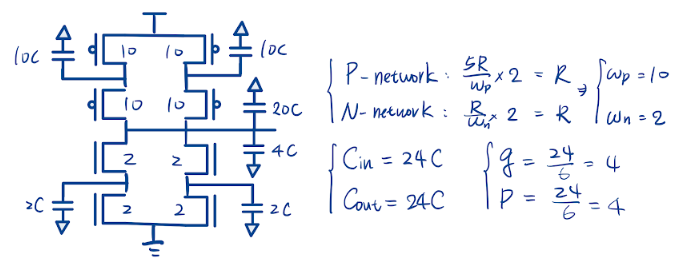
因此一個理想的Inverter為了讓p-network和n-network充放電流大小相同，等效的resistance應要一致。如下圖 :



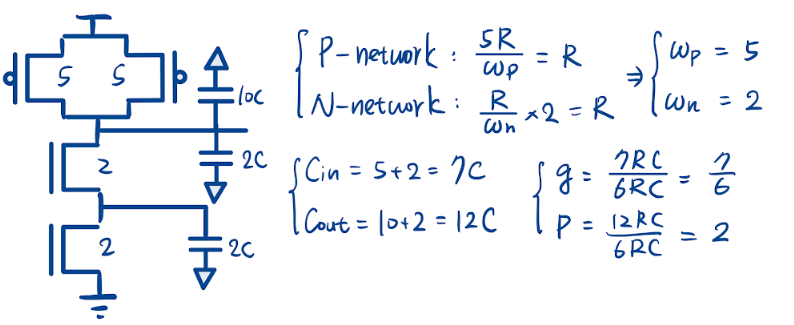
一個inverter的delay大概為24ps(3RC大概是12ps)即為。

之後的邏輯閘delay都會依據6RC為單位來計算，且定義理想的邏輯閘p-network, n-network充放電路徑等效阻值都是R。以下是分析。

**XOR :** (g = 4, p = 4)

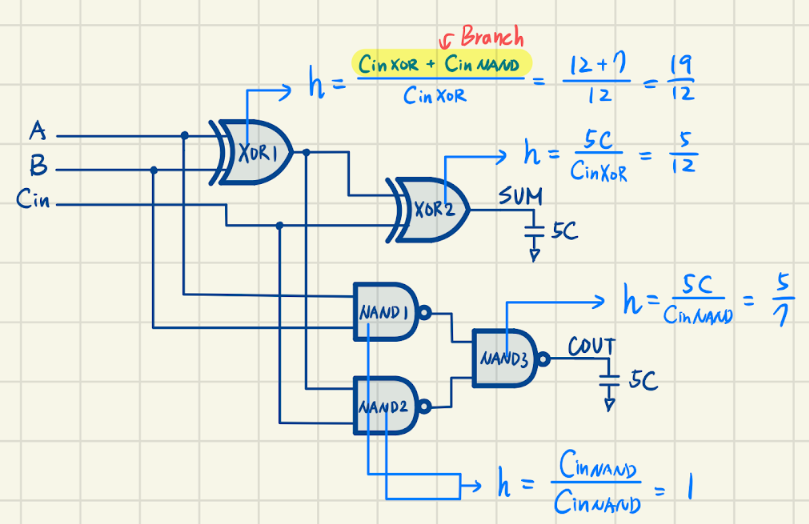


**NAND : ()**



得到XOR、NAND的logic effort和parasitic delay後，我們來計算FA SUM和COUT的propagation delay。其中值得注意的是，因為我們最後output loading是放10fF，而根據上課講義一般C的大小為2fF。推算完我們視為SUM, COUT後方各接了一個5C的loading。

接著我們將FA電路上所有邏輯閘的h (electrical effort)算出來 :



有了個邏輯閘的g, p, h等參數，我們可以推出每個gate delay如下表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | XOR1 | XOR2 | NAND1 | NAND2 | NAND3 |
| g | 4 | 4 | 1.17 | 1.17 | 1.17 |
| p | 4 | 4 | 2 | 2 | 2 |
| h | 1.58 | 0.42 | 1 | 1 | 0.71 |
| f (g\*h) | 6.32 | 1.68 | 1.17 | 1.17 | 0.83 |
| d (f+p) | 10.32 | 5.68 | 3.17 | 3.17 | 2.83 |

接著我們分析input到SUM、COUT最長的path。

**SUM :**



 > 0.3ns

**COUT :**



 > 0.3ns

理論值最佳化的設計會使propagation delay不符合pre-sim spec !

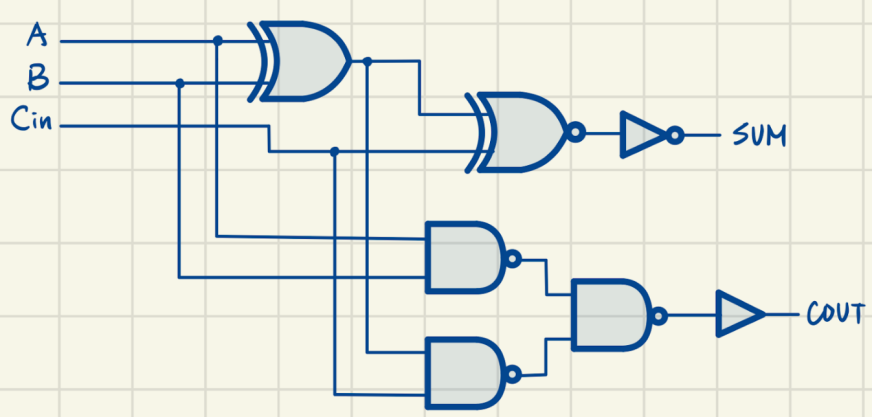
因此在width的選擇上，不能顧及完美的充放電速度，因為width越 大，等效Capacitance就越大，進而使propagation delay增加 !

另外因為layout的限制，diffusion中間要打個0.24\*0.24u的contact。 因此nmos width最小為0.44u。以理論上最好的design，pmos 的width會出現5\*0.44=2.2um，即10\*0.44=4.4um的選擇。

在stdcell design的限制下高度只有5.04um，空間會幾乎不夠容納。

因此我們另外選定mos width，讓propagation delay達到容許值。

但在縮小mos width的同時，要注意rise time、fall time 的問題。這 次spec規定tr, tf要小於0.1ns，如果我們mos width選擇太低，會變 成充放電的速度不夠快，tr, tf會太大。如此衝突的性質在多次調整數值 後仍無法達到pre-sim標準，因此決定改變架構。以下為最終電路 :



我選擇將原先XOR, NAND的mos width都盡量調小，使propagation delay大幅降低後，再各自在output端加入Buffer來restore信號的強 度和增加其充放電速度。雖然多加的buffer會使propagation delay增 加，但因為前方mos width很小，所以等效capacitance效應很低，有 空間加入buffer改善tr, tf。

在此值得注意的是，我的SUM不是直接接上buffer，而是採用 XNOR+INVERTER的架構。因為XNOR和XOR電路幾乎一樣，其 gate delay也是相同的，因此只要直接在後方接上inverter，等同於省 了兩顆mos和一級INVERTER的delay。

為了使SUM, COUT的tr, tf夠快，我把SUM的INVERTER和 COUT Buffer靠近output的INVERTER mos width調大。即為在最後 級把output signal充放電速度提升，也有restore output的效果。

最終各個mos width訂為以下的數值，完成pre-sim。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | XOR | XNOR | INV | NAND | BUFF | |
| Wp (um) | 1.17 | 0.94 | 1.46 | 0.44 | 0.44 | 1.55 |
| Wn (um) | 0.46 | 0.44 | 0.71 | 0.44 | 0.44 | 0.44 |

1. **Simulation result**
2. **Timing report**

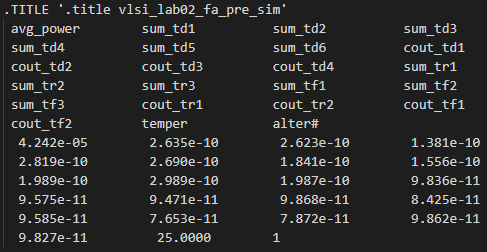
**Table 1:** Post-sim of 1Bit Full Adder (Unit: ps)

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Input** | **SUMtd** | **SUMtr** | **SUMtf** | **Couttd** | **Couttr** | **Couttf** |
| **000🡪100** | 327.74 | 106.59 | -- | -- | -- | -- |
| **100🡪010** | -- | -- | -- | -- | -- | -- |
| **010🡪110** | 315.20 | -- | 106.74 | 183.77 | 80.48 | -- |
| **110🡪001** | 136.38 | 104.13 | -- | 224.91 | -- | 108.37 |
| **001🡪101** | 379.79 | -- | 95.00 | 362.64 | 83.85 | -- |
| **101🡪011** | -- | -- | -- | -- | -- | -- |
| **011🡪111** | 341.08 | 106.40 | -- | -- | -- | -- |
| **111🡪000** | 174.88 | -- | 102.72 | 224.69 | -- | 104.82 |

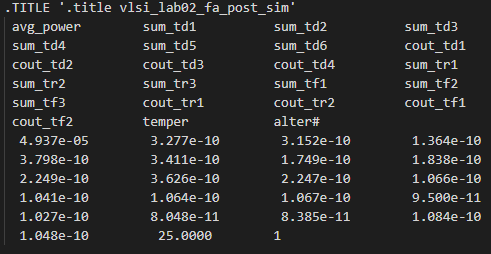
**Table 2:** Simulation Summary

|  |  |  |  |
| --- | --- | --- | --- |
|  | **Spec.** | **Pre-sim** | **Post-sim** |
| **Worst Rise Time** | < 0.1ns | 98.36 | 106.59 |
| **Worst Fall time** | < 0.1ns | 98.68 | 108.37 |
| **Worst Propagation Delay** | < 0.3ns | 298.86 | 379.79 |
| **Average Power** | < 100uw | 42.42 | 49.37 |

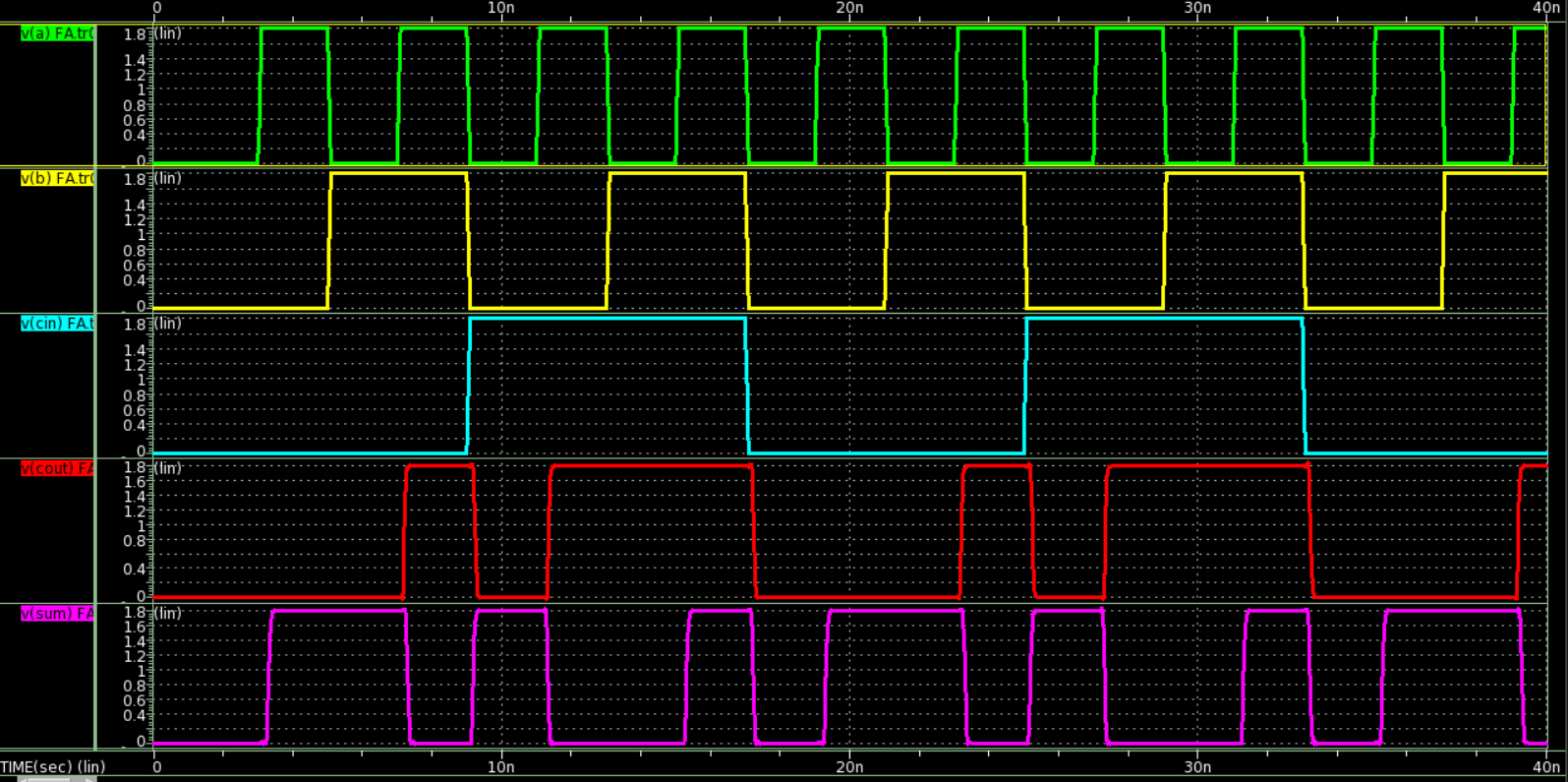
1. Pre-sim (\*paste measurement result of hspice, i.e. .mt0)



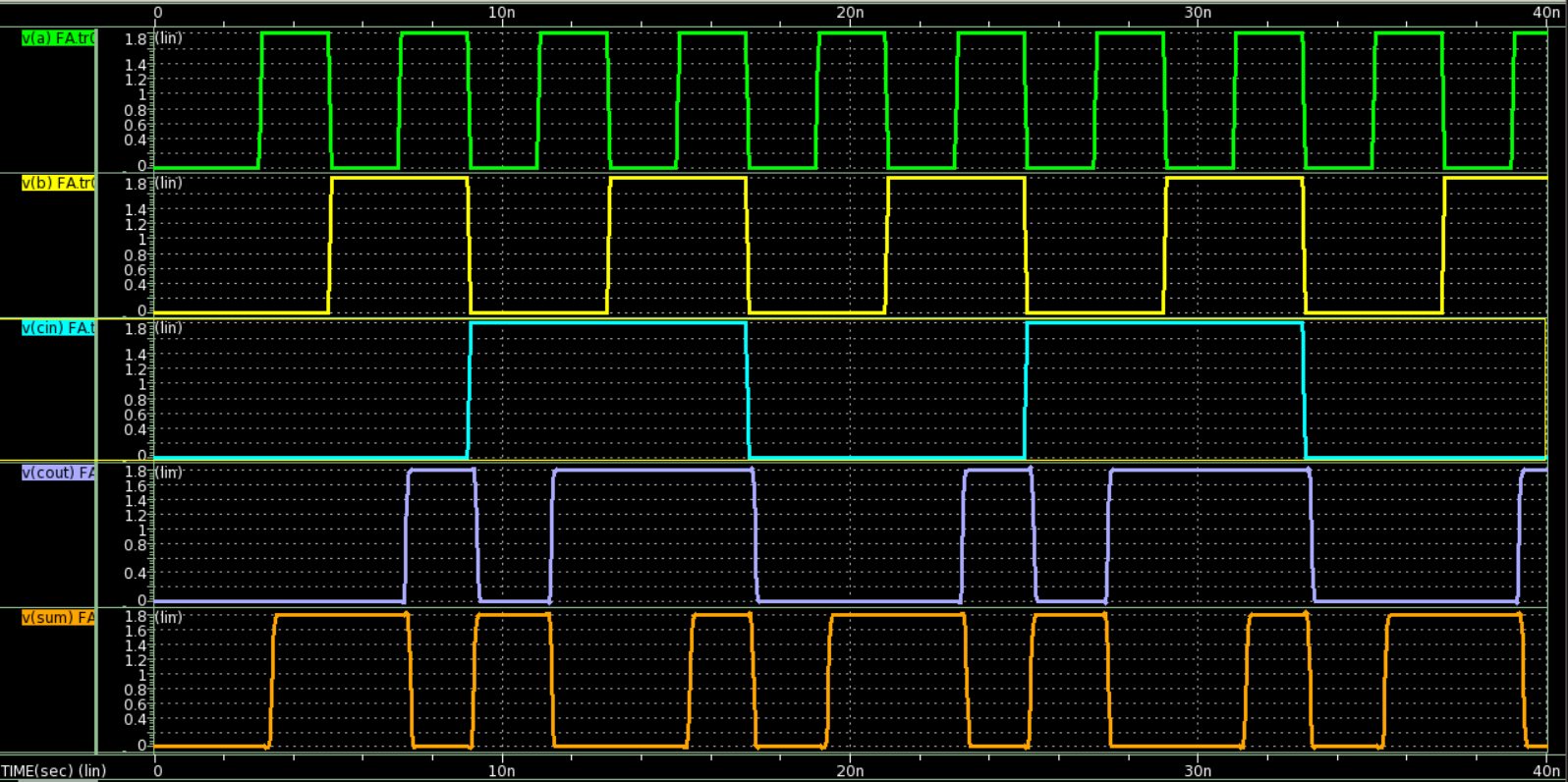
1. Post-sim (\*paste measurement result of hspice, i.e. .mt0)



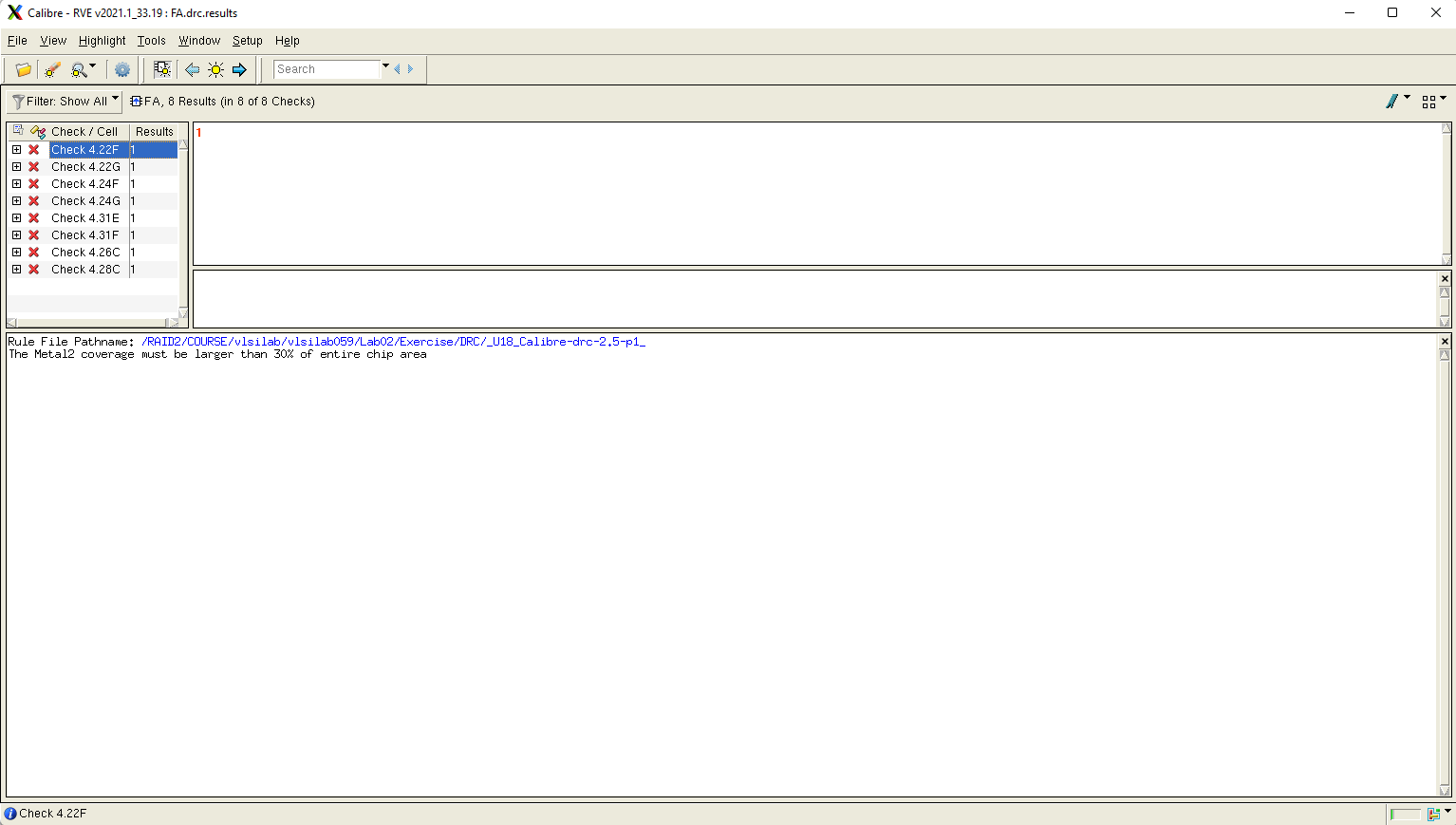
1. **Output waveform**
2. Pre-sim



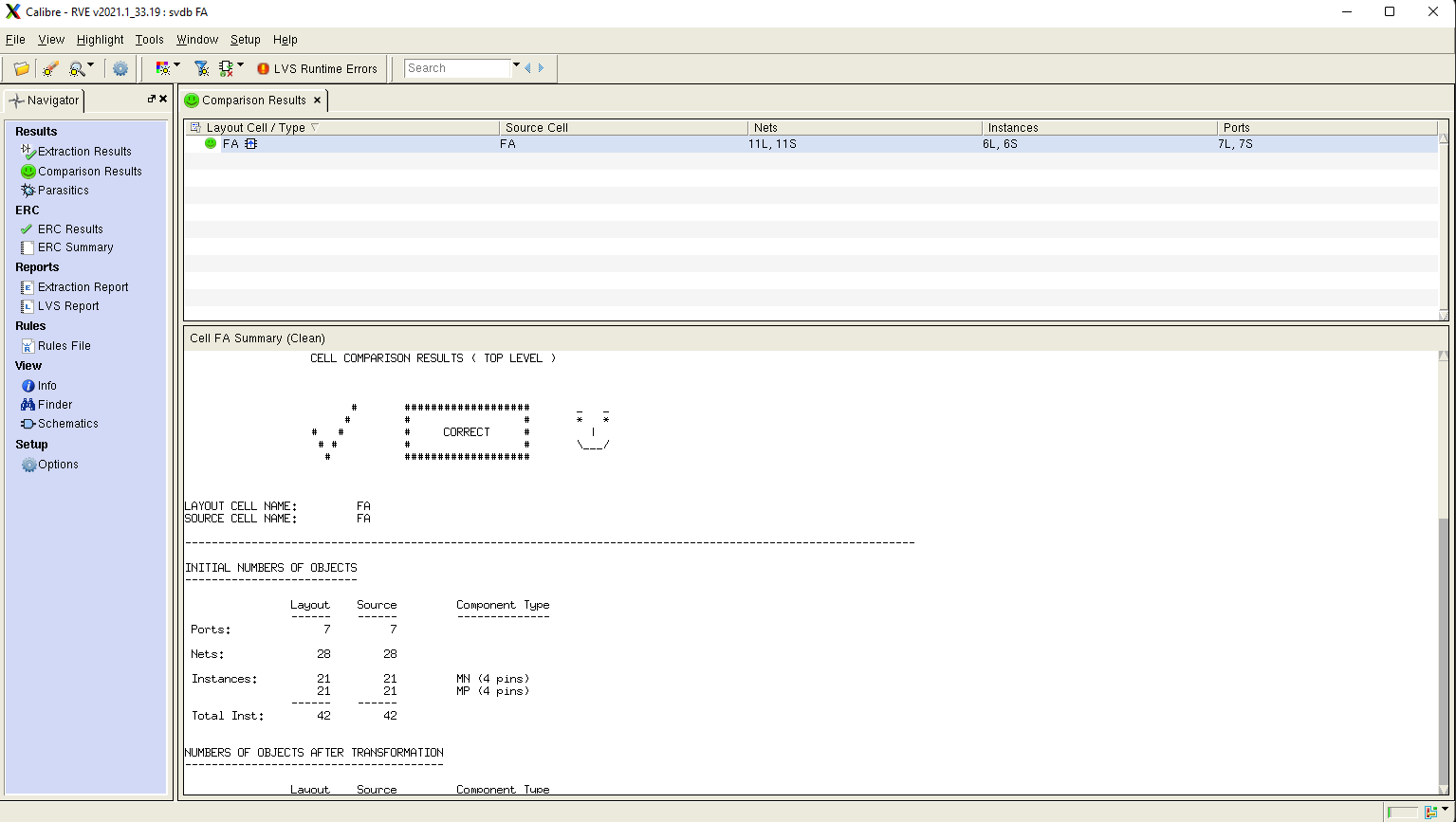
1. Post-sim



1. **Verification result**
2. **DRC**



1. **LVS**



1. **Discussion**
2. **How to reduce your area of layout? What are advantages and disadvantages of reducing area?**

在畫layout時我使用以下方法/特性壓縮面積 :

1. 共用Diffusion taps
2. 使用poly作為短程的繞線
3. Metal 1 2 3 可以overlaps
4. Contact必要時才打

**Advantages :**

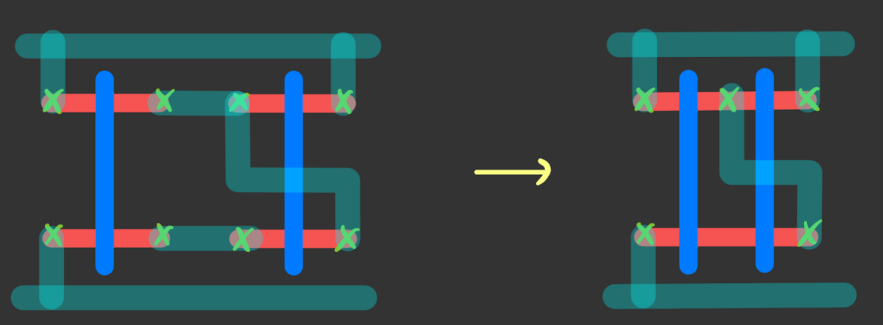
Overall

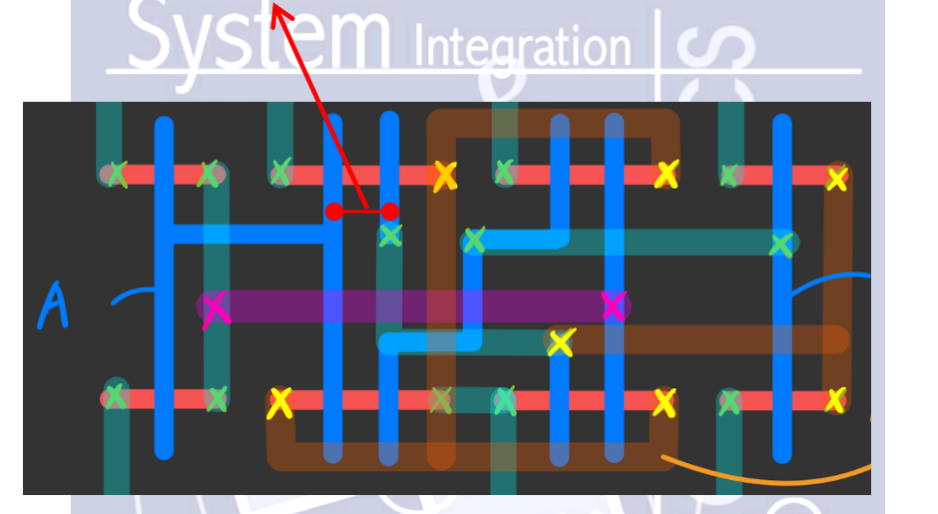
一般以digital IC design的過程中，有時候design規模會很大，如果一個一個邏輯閘都要自己定義的話，設計過程會變得十分冗長，不切實際。因此有了EDA tools可以幫我們合成電路。而為了使EDA tools合成時每個cells 可以對齊、且有系統的規劃電路，所以stdcell的概念就非常重要。

所謂stdcell design就是把每個數位裡面常用的電路 (FA, MUX, DFF, MAC) 做成一個一個的block，且每個block為固定高度(此lab為5.04um)。因此設計電路時只需撰寫HDL(verilog)，由EDA tools自動幫我們抓library中的stdcell，像疊床架屋一樣把一個個block接起來，加上繞線就合成電路。

因此想當然耳，如果每個stdcell面積越小，單位面積下能放進的component就越多，相對於單位面積的電路效能提升了。

Trivia (針對以上四種縮面積的方法討論)

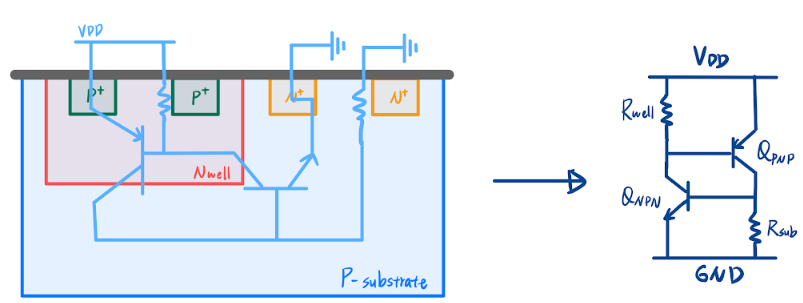
1. 若多共用taps，可以省掉一個contact和diffusion間最短距離的長度。且理論上delay會減少。如下圖所示，左圖多了兩個diffusion之間連接的metal delay，而右圖直接共用就不會有額外delay。
2. poly接上metal要打上0.44\*0.44的poly及中間的contact，非常占用空間，因此如果兩個mos gate相鄰且input相同時，就可以直接用poly繞線相連。
3. 一般正規的stdcell design應該只能使用metal 1進行拉線，其餘metal 2 3都是用在不同stdcell之間的拉線用。不過此次lab因為沒有此限制，因此可以將原先分散的電路拉近，將原先有些拉近會產生metal1 overlap的地方使用metal 2 3取代，如此更壓縮面積。
4. XOR的架構裡因為有很多串連的部分，因此串聯中間的node不但可以共用tap，因為不需要接metal的關係，所以可以直接拉到poly能容忍的最短距離(0.28um)，如下圖。



**Disadvantages :** (針對以上四種方法前三種討論)

1. 共用tap省面積，但相對的拉線空間較小。若共用的tap兩側poly為不同輸入的話，若出現太多連續共用的diffusion tap，很有可能會沒有空間拉0.44\*0.44的poly-contact input。
2. 根據VLSI導論上課的內容，可以知道一般metal 1 sheet resistance為0.08，而poly為3-10。且metal 1 之capacitance per um 為0.2fF/um，而poly為2fF/um。同樣長度poly相較metal不僅阻值大，capacitance也大不少。將會有較長的delay。因此要盡量避免太長的poly繞線。
3. 因為metal 2 3取代的metal 1有很多用於水平走線，因此有時候會出現兩條不同高度的metal重疊的分很多 (例如水平metal 2直接疊在同樣為水平的metal 1上)。兩條metal間的capacitance會相對較高。
4. **Why you need Avoid-Latch-Up contact and how it works?**

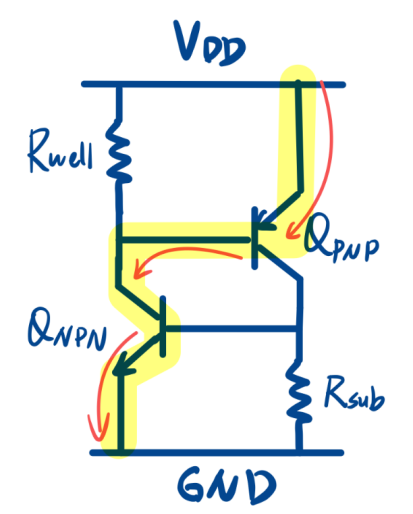
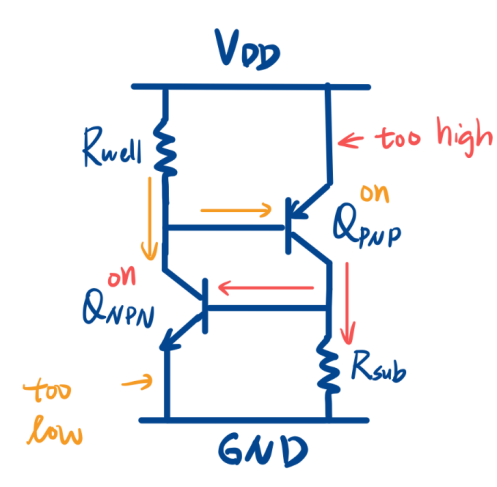
先討論何謂Latch-Up。已知mos架構中有parasitic BJT如下圖。

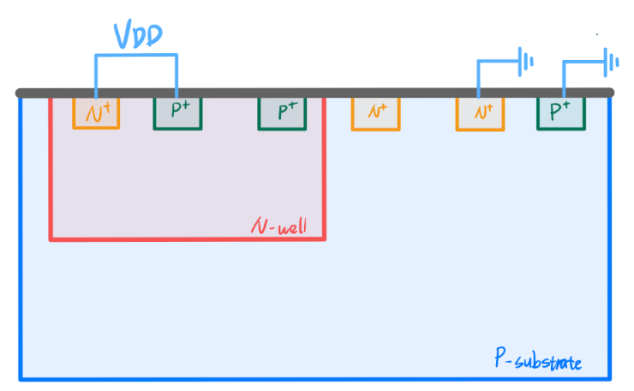


如果沒有特別做處理，在某些情況會出現latch-up。

例如假設QPNP的Emitter有一瞬間大於VDD的訊號，會使VEB > 0.7V， QPNP即會達到forward bias，Ic電流將流向Rsub導致QNPN的VBE上升，最 終QNPN也到forward bias，會有一條從VDD直通GND的path入下圖左。

下圖右顯示兩種情況，第一如同上述，而第二是QNPN Emitter 電位太低時 的情況。兩種情況皆會使兩個BJT同時導通，產生VDD到GND的大電 流。有點類似數位的latch，兩個BJT Ic在forward bias時經過beta倍的放 大，導致positive feedback。

為了避免出現以上兩個情況，(避免parasitic BJT的forward bias)我們應該 在n-Well和p-substrate打入各自的n+ p+確保mos的body電位和source 相符，不會因為parasitic BJT變成forward bias而產生漏電流。如下圖：



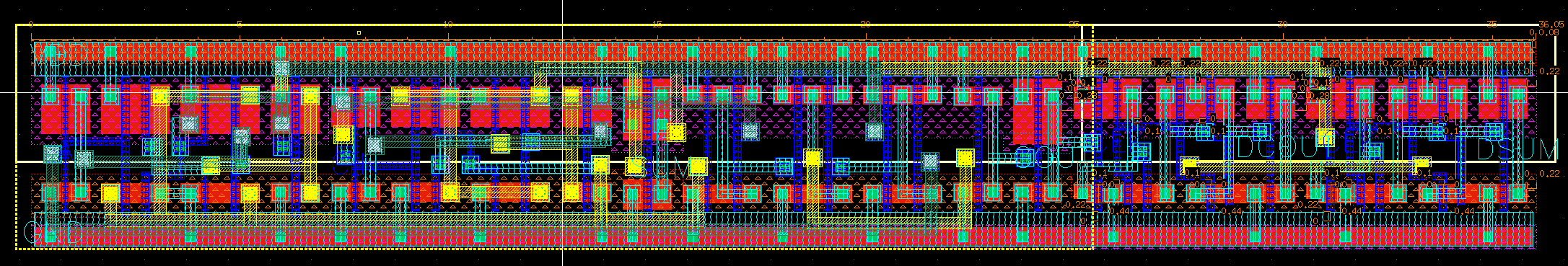
1. **Summary**

這次實驗第一次上手實作layout，不過真正的挑戰在Pre-sim。在下手畫layout前，應該要先分析電路，讓電路基本符合規格後再下手畫layout比較實在。有好幾次是自己粗心沒有顧慮到Pre-sim的一些spec，結果最後layout畫了好多版，非常浪費時間。layout的部分有很多小技巧，雖然一開始碰熟了操作，但因為5.04um高度限制，導致中間很多繞線過程太過複雜，應該有很多更好的畫法。是一次挑戰性十足的lab。

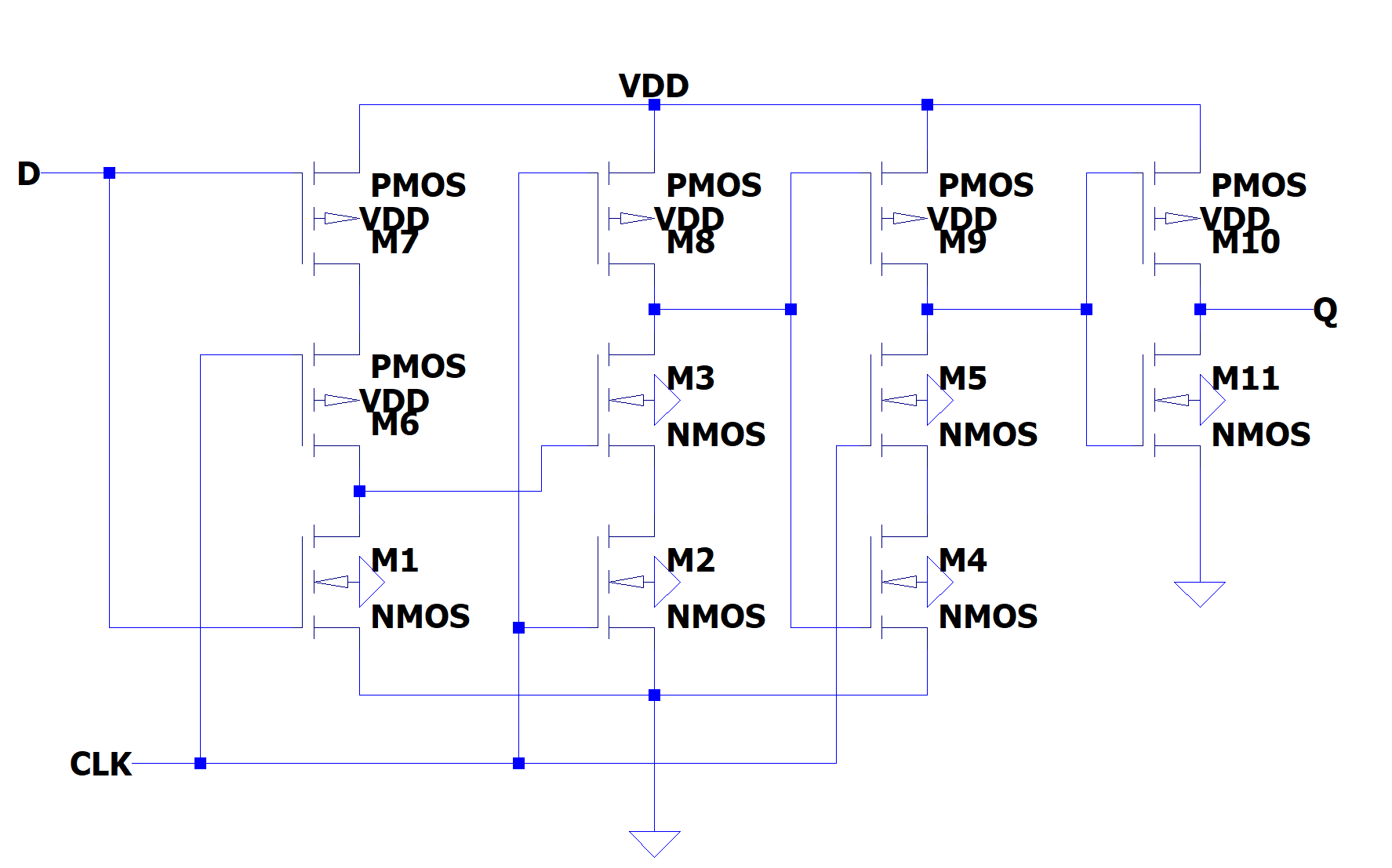
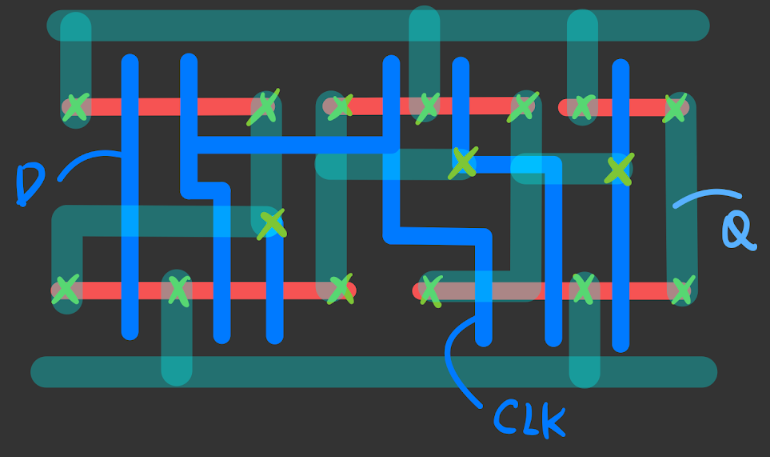
下次進行stdcell design前，應該先認真分析完電路，預估參數的合理性，再決定架構和layout !

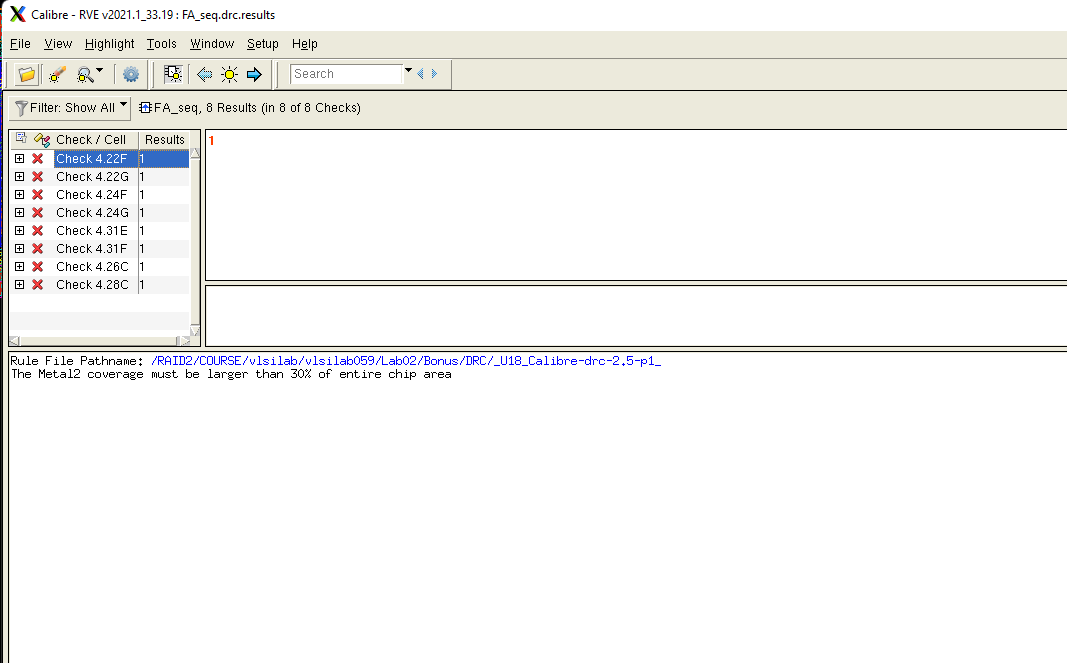
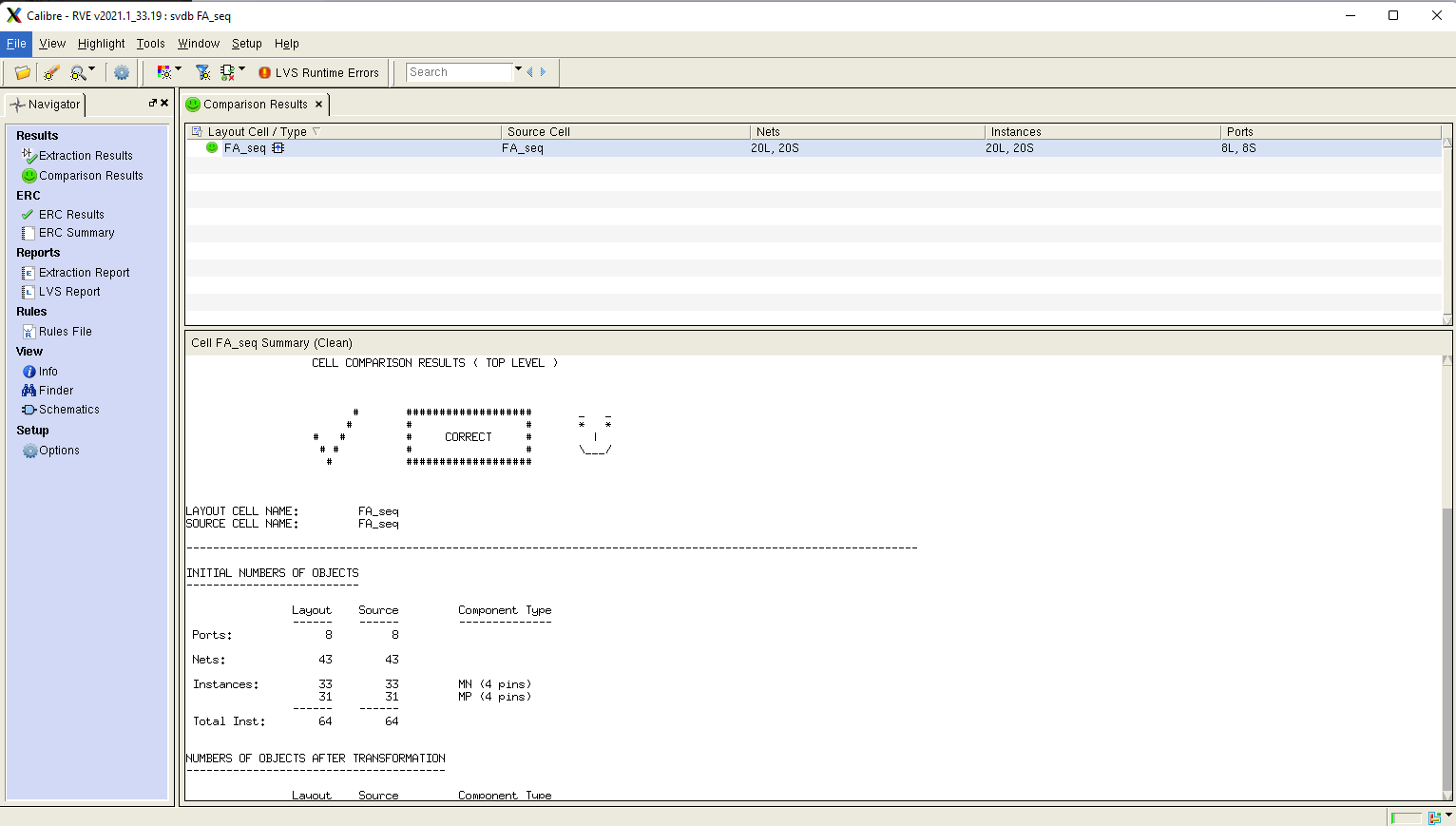
**(Bonus at next page!)**

**Bonus**

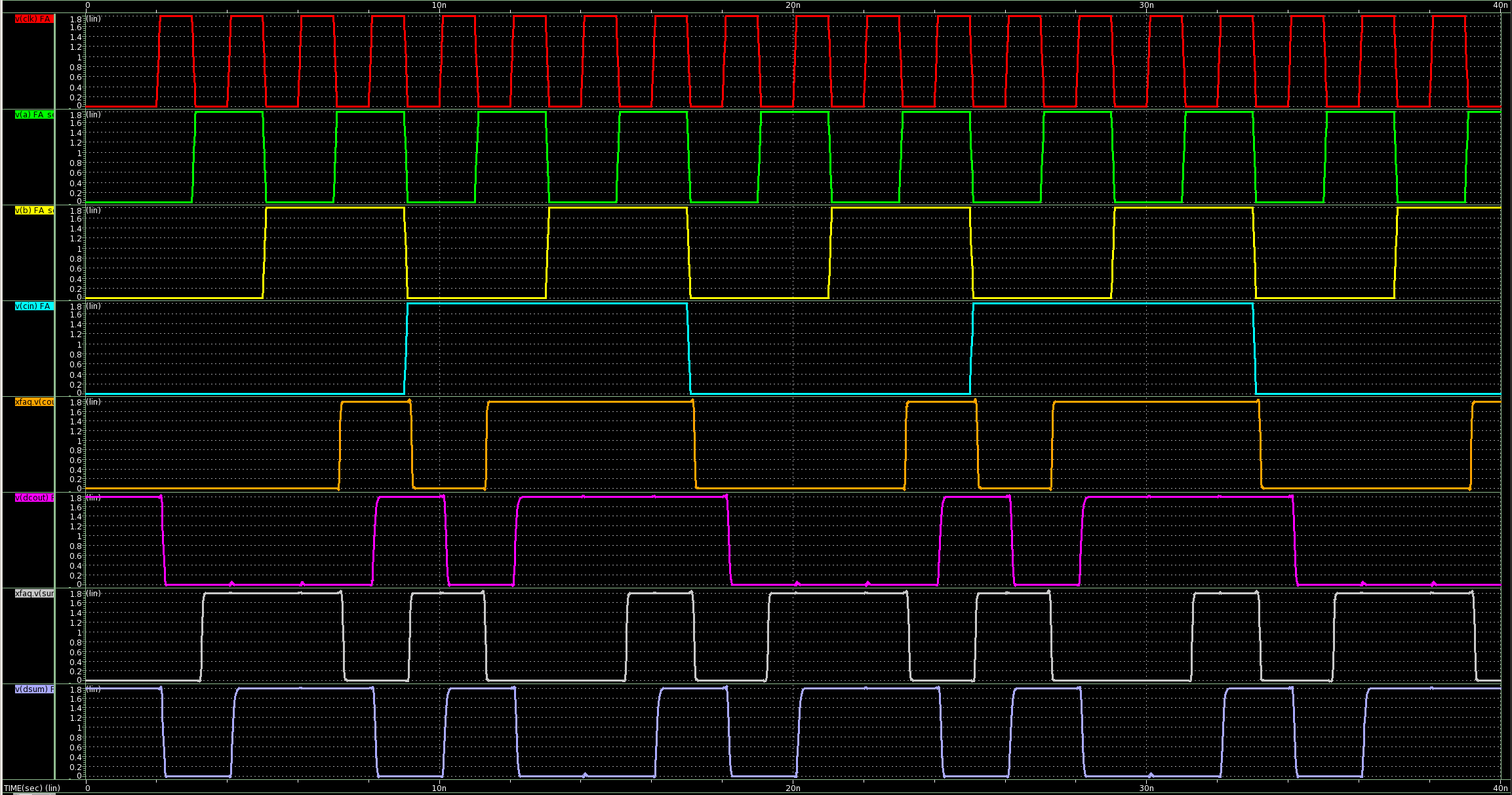
**FA\_seq layout picture :**

**DFF structure**

****

**DRC**  **LVS**

**Waveform** Pre-sim



**Waveform** Post-sim

